

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-290237

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl.⁶

H 0 4 L 12/40

識別記号

F I

H 0 4 L 11/00

3 2 0

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平9-96873

(22) 出願日 平成9年(1997)4月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 佐藤 真

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

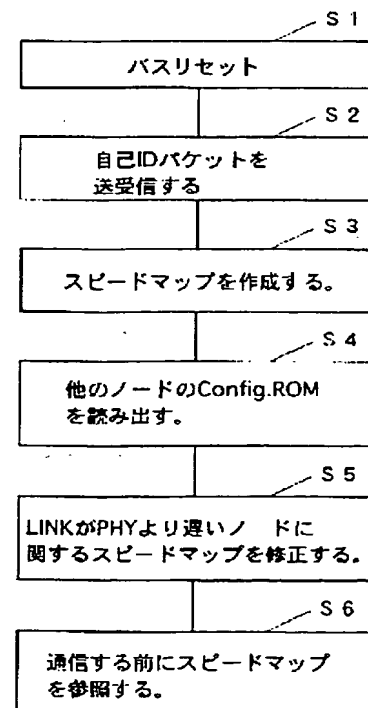
(74) 代理人 弁理士 杉山 猛

(54) 【発明の名称】 電子機器及び電子機器間の通信速度情報作成方法及び記録媒体

(57) 【要約】

【課題】 バスで接続された複数のノード間で通信を行うシステムにおいて、ノードが対応する通信速度を複数の通信レベルに分けて示すことにより、中継ノードの性能による通信速度の低下の可能性を小さくする。

【解決手段】 バスリセットが発生すると、自動的に各ノードの親子関係が決まり、さらに所定の順に各ノードは自己IDバケットを1394シリアルバスに送出する(ステップS1、S2)。バスマネージャとなったノードは、各ノードが送出した自己IDバケットに書いてあるPHYの最大通信速度情報を用いてスピードマップを作成する(ステップS3)。次に、他のノードのコンフィギュレーションROMを読み出し(ステップS4)、LINKの最大通信速度がPHYの最大通信速度よりも遅いノードに関連する情報を修正する(ステップS5)。



【特許請求の範囲】

【請求項1】 バスで接続された複数の電子機器間で通信を行うシステムに用いる電子機器であって、物理層を処理する第1の手段と、物理層よりも上位の階層を処理する第2の手段と、前記第1の手段の最大通信速度と前記第2の手段の最大通信速度の大小関係情報、及び後者が前者よりも遅い場合にその速度情報を記憶した第3の手段とを備えることを特徴とする電子機器。

【請求項2】 前記バスで接続された他の電子機器内の前記第3の手段に記憶されている前記情報を前記バスを介して読み出す第4の手段をさらに備える請求項1に記載の電子機器。

【請求項3】 前記バスはIEEE1394シリアルバスであり、前記第3の手段はコンフィギュレーションROMにおける通信能力を書き込む領域である請求項1に記載の電子機器。

【請求項4】 物理層を処理する第1の手段と、物理層よりも上位の階層を処理する第2の手段と、前記第1の手段の最大通信速度と前記第2の手段の最大通信速度の大小関係情報、及び後者が前者よりも遅い場合にその速度情報を記憶した第3の手段とを備える複数の電子機器をバスで接続し、該電子機器間で通信を行うシステムにおいて、各電子機器が前記バスに送出した前記第1の手段の最大通信速度情報を収集して各電子機器間の最大転送速度マップを作成する手順と、前記各電子機器の前記第3の手段に記憶されている情報を前記バスを介して読み出し、前記第2の手段の最大通信速度が前記第1の手段の最大通信速度より遅い場合に前記最大転送速度マップを修正する手順とを備えることを特徴とする電子機器間の通信速度情報作成方法。

【請求項5】 バスで接続された複数の電子機器間で通信を行うシステムに用いる電子機器であって、物理層を処理する第1の手段と、物理層よりも上位の階層を処理する第2の手段と、前記第1の手段の最大通信速度と前記第2の手段の最大通信速度の大小関係情報、及び後者が前者よりも遅い場合にその速度情報を記憶した第3の手段とを備える電子機器に対して、各電子機器が前記バスに送出した前記第1の手段の最大通信速度情報を収集して前記各電子機器間の最大転送速度マップを作成する手順と、前記各電子機器の前記第3の手段に記憶されている情報を前記バスを介して読み出し、前記第2の手段の最大通信速度が前記第1の手段の最大通信速度より遅い場合に前記最大転送速度マップを修正する手順とを実行させるプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばIEEE1394シリアルバス（以下1394シリアルバスとい

う）に接続して使用する電子機器に関し、詳細には電子機器間の通信速度情報を作成するための技術に関するものである。

【0002】

【従来の技術】パーソナルコンピュータ、ハードディスク装置、デジタルビデオテープレコーダ、デジタルテレビジョン受信機等の電子機器を1394シリアルバスで接続し、これらの電子機器間でデジタルビデオ信号、デジタルオーディオ信号、及び制御信号のバケットを送受信する通信システムが考えられている。

【0003】図8にこのような通信システムの一例を示す。この図において、電子機器A～Eは、前述したパーソナルコンピュータやデジタルビデオテープレコーダ等である。そして、電子機器AとB、BとC、CとD、DとEのポートPの間は、1394シリアルバスのケーブル11、12、13、14で接続されている。以下本明細書では、これらの電子機器をノードと呼ぶことにする。

【0004】図8に示すように、ノードC以外のノードは、1394シリアルバスに対して通信を行うための基本構成として、物理層コントローラ（以下PHYという）15と、リンク層コントローラ（以下LINKという）16と、CPU17とを備えている。また、ノードCはPHY15のみを備えている。PHY15は、バスのインシャライズ、データのエンコード／デコード、アービトレーション、バイアス電圧の出力／検出等の機能を持つ。また、LINK16は、誤り訂正符号の生成／検出、バケットの生成／検出等のリンク層コントロール機能を持つ。そして、CPU17はアプリケーション層の機能を持つ。

【0005】1394シリアルバスを用いた通信システムにおいては、各ノードはバスの初期化時に自己ID（Self ID）バケットと呼ばれるバケットをバスに送出する。この自己IDバケットの所定のフィールドには、自分のPHYが対応している通信速度情報が挿入されている。

【0006】図9は自己IDバケットの構成例を示す。自己IDバケットは4バイト×2（以下4バイトを1クワドレットと呼ぶ）の長さを持っており、1クワドレット目の17番目と18番目のビットにスピードコード（sp）を挿入する。スピードコードの2ビットは、“00”がS100（98.304Mbps），“01”がS100とS200（196.608Mbps），“10”がS100とS200とS400（393.216Mbps），“11”が予約済を意味する。

【0007】通信システム内のバスマネージャは、各ノードの自己IDバケットを受信し、それを用いて各ノード間の最大通信速度を示すスピードマップを作成する。図10にスピードマップの構成例を示す。このスピードマップは任意の2つのノード間の最大転送速度を示

し、バスの初期化終了後は、全てのノードがこれを参照することができる。各ノードは他のノードと通信を行う際には、このスピードマップを参照して通信速度を決定する。

【0008】

【発明が解決しようとする課題】一般に通信システムにおいて、ある2つのノード間で通信を行う場合の最大転送速度は、通信経路上に中継するノードが存在する場合には、その中継を行うノードが対応している速度に制限されてしまう。

【0009】例えば1394シリアルバスを用いた通信システムにおいては、中継はPHYが行う。PHYは1394シリアルバス上のバケットを送受信する。この場合、あるノード宛でないバケットでも隣接するノードに伝搬される（これをリビートと呼ぶ）。ノードとしての通信速度はLINKの能力で決まるが、リビートする際にはLINKの能力には依存しない。

【0010】2つのノード間で通信を行う場合に、LINKの最大通信速度がPHYの最大通信速度よりも速いか又は等しい場合には問題はない。しかし、LINKの最大通信速度がPHYの最大通信速度よりも遅い場合には、ノードが受け取ったバケットをリンク層のレベルで失ってしまう。

【0011】1394シリアルバス上のアシンクロナス（以下Asyncという）通信においては、バケットの受信側のノードがACK（Acknowledge）を返さないことで、バケットの送信側のノードはエラーとなっていることが識別できる。しかし、アイソクロナス（以下Isoという）通信では、ACKを返さないブロードキャストタイプの通信を行うため、エラーとなっていることが送信側も受信側も知ることができない。

【0012】全てのノードのLINKの性能に合わせて、これをPHYの最大通信速度とすることにより、前述したエラーを回避することは可能となる。しかし、これによって、本来通信し合う2つのノード同士の性能が高くても、中継するノードに依存して通信速度を下げる必要がある。

【0013】本発明はこのような問題点を鑑みてなされたものであって、バスで接続された複数のノード間で通信を行うシステムにおいて、ノードが対応する通信速度を複数の通信レベルに分けて示すことにより、中継ノードの性能による通信速度の低下の可能性を小さくできる手段を提供することを目的とする。また、本発明は、信頼性の高い通信速度情報を得ることができる手段を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明に係る電子機器は、物理層を処理する第1の手段と、物理層よりも上位の階層を処理する第2の手段と、第1の手段の最大通信速度と前記第2の手段の最大通信速度の大小関係情報、

及び後者が前者よりも遅い場合にその速度情報を記憶した第3の手段とを備えることを特徴とするものである。

【0015】本発明に係る電子機器間の通信速度情報作成方法は、前記本発明に係る電子機器間で通信を行うシステムにおいて、各電子機器がバスに送出した第1の手段の最大通信速度情報を収集して各電子機器間の最大転送速度マップを作成する手順と、各電子機器の第3の手段に記憶されている情報をバスを介して読み出し、第2の手段の最大通信速度が第1の手段の最大通信速度より遅い場合に最大転送速度マップを修正する手順とを備えることを特徴とするものである。

【0016】本発明に係る記録媒体は、前記本発明に係る電子機器に対して前記本発明に係る通信速度情報作成方法における2つの手順を実行させるためのプログラムを記録したものである。

【0017】本発明に係る電子機器においては、第3の手段には少なくとも第1の手段の最大通信速度と前記第2の手段の最大通信速度の大小関係情報が記憶されている。そして、第2の手段の最大通信速度と前記第1の手段の最大通信速度より遅い場合には、第2の手段の最大通信速度情報も記憶されている。

【0018】本発明に係る電子機器間の通信速度情報作成方法においては、まず各電子機器がバスに送出した第1の手段の最大通信速度情報を収集して各電子機器間の最大転送速度マップを作成し、次に各電子機器の第3の手段に記憶されている情報をバスを介して読み出し、第2の手段の最大通信速度が第1の手段の最大通信速度より遅い場合に最大転送速度マップを修正する。

【0019】

【発明の実施の形態】以下本発明の実施の形態について図面を参照しながら詳細に説明する。

【0020】図1は本発明を適用したノードの要部構成を示すブロック図である。このノードは、PHY1と、内部バスによりPHY1に接続されているLINK2と、内部バスによりLINK2に接続されているCPU3と、内部バスによりCPU3と接続されている各種レジスタ4、コンフィギュレーションROM5、バッファメモリ6、ハードディスクインターフェース7、及びハードディスクインターフェース7に接続されているハードディスク装置8を備えている。また、PHY1のポート（図示せず）には、1394シリアルバス9が接続されている。

【0021】コンフィギュレーションROM5は、例えば図2及び図3に示すように構成されている。なお、図3は図2の内、枠の内側に斜線を付した部分である。最初の1クワドレットには、バス情報ブロックの長さ（Bus_Info_Block_Length）と、CRCの長さ（CRC_Length）と、コンフィギュレーションROMのCRC値（rom_crc_value）が書かれている。次の4クワドレットのバス情報ブロ

ック(Bus_Info_Block)には、“1394”を示す情報、ノードの通信能力を示す情報、ノードにユニークなIDを示す情報等が書いてある。

【0022】本実施の形態ではノードの通信能力を示す情報が書いてあるフィールドの内、予約済(reserved)になっている全て“0”の12ビット中の4ビットを用いてPHY及びLINKの最大通信速度を表す。図4に示すように、1ビットのLビットでLINKの最大通信速度とPHYの最大通信速度との大小関係を示す。

【0023】Lビットが“1”の場合にはLINKの最大通信速度がPHYの最大通信速度よりも遅い。そして、その場合のLINKの最大通信速度が次の3ビットの最大リンク速度(max_link_speed)に書いてある。すなわち、“000”でS100、“001”でS200、“010”でS400、“011”でS800、“100”でS1600、“101”でS3200、その他は予約済とする。

【0024】Lビットが“1”の場合にはLINKの最大通信速度がPHYの最大通信速度よりも遅いか又は等しい。この場合には、LINKの最大通信速度を示す必要はないので、3ビットは元の予約済情報と同じ“000”でよい。

【0025】本実施の形態では、バス初期化時に自己IDパケットに書いてあるPHYの最大通信速度情報を見てスピードマップを作成した後、コンフィギュレーションROMを読み出し、前述したLビットが1の場合には、必要に応じてスピードマップを修正する。以下図5のフローチャートを参照しながら説明する。

【0026】まず、バスリセットが発生する(ステップS1)。バスリセットが発生すると、IEEE-1394-1995年企画書に規定されている手順により自動的に各ノードの親子関係が決まり、さらに子から順に各ノードは自己IDパケットを1394シリアルバスに送出する(ステップS2)。

【0027】バスマネージャーとなったノードは、各ノードが送出した自己IDパケットに書いてあるPHYの最大通信速度情報(スピードコード)をバッファメモリ6に蓄積し、それを用いてスピードマップを作成してレジスタ4に保存する(ステップS3)。なお、どのノードがバスマネージャーになるかについては、前述した企画書に詳細に記載されているので、ここでは説明を省略する。

【0028】バスマネージャーとなったノードは、次に他のノードのコンフィギュレーションROM5を読み出す(ステップS4)。そして、レジスタ4に保存しておいたスピードマップの内、図4のLビットが“1”になっているノード関連する情報を最大リンク速度の値に減らす(ステップS5)。

【0029】以上でLINKの最大通信速度を考慮した

スピードマップの作成が終わる。各ノードは他のノードと通信を行う際には、バスマネージャーのレジスタ4に保存されているスピードマップを参照して通信速度を決定すればよい(ステップS6)。

【0030】以上説明したフローチャートに対応するプログラムは、図1のハードディスク装置8に格納されており、CPU3がハードディスクインターフェース7を介して読み出し、バッファメモリ6に展開することでこの処理を実行する。この処理に対応していない従来のノードに対しては、ハードディスク装置の記憶内容を書き換えることにより、この処理に対応するようにバージョンアップすることができる。この場合、ノードがフロッピーディスク装置を備えていれば、そのフロッピーディスク装置からCPUが読み込んでハードディスク装置の記憶内容を書き換える。フロッピーディスク装置を備えていなくても、1394シリアルバスを介して外部のノードから受け取り、ハードディスク装置の記憶内容を書き換えることができる。

【0031】次に図6の通信システムを例にしてスピードマップの作成及び修正について説明する。この通信システムは5個のノードから構成されている。そして、ノード#0～#3はPHYの最大通信速度とLINKの最大通信速度が等しく、それぞれS100、S200、S200、S400である。つまり、これらのノード内のコンフィギュレーションROM内のLビットは“0”である。一方、ノード#4はLINKの最大通信速度がPHYの最大通信速度よりも遅く、それぞれS200、S400である。つまり、このノードのコンフィギュレーションROM内のLビットは“1”であり、最大リンク速度は“001”である。

【0032】したがって、図5のステップS3までの処理により作成されるスピードマップは図7(1)の通りである。すなわち、ノード#0はPHYの最大通信速度がS100であるから、他のノード#1～#4と通信する際の最大通信速度はS100となる。ノード#1はPHYの最大通信速度がS200であるから、ノード#2～#4と通信する際の最大通信速度はS200となる。ノード#2についても同様である。ノード#3とノード#4は、共にPHYの最大通信速度がS400であるから、互いの間の最大通信速度はS400となる。

【0033】そして、図5のステップS5までの処理により修正されたスピードマップは図7(2)のようになる。すなわち、ノード#4はLINKの最大通信速度がS200でPHYの最大通信速度のS400よりも遅いため、ノード#4とノード#3との間の最大通信速度がS200に修正されている。

【0034】このように、本実施の形態では、従来よりも信頼性の高いスピードマップを作成することが可能となる。しかも、コンフィギュレーションROM内のバスマネージャーが必ず読み出す領域にLINKの最大通信

速度情報を書き込んでいるため、この最大通信速度情報を獲得するために通信回数が増える等の負担は発生しない。さらに、LINKの最大通信速度がPHYの最大通信速度よりも遅いノードは、PHYの性能をLINKに合わせて低く示す必要がなくなり、本来の最高性能で中継を行うことが保証される。

【0035】なお、以上の説明ではバスマネージャースピードマップを作成するものとして説明した。バスマネージャースピードマップは他のノードが読みにくるので、バスマネージャースピードマップを作成することが必要である。一方、バスマネージャー以外のノードも、同様にしてスピードマップを作成してもよい。バスマネージャー以外のノードは、スピードマップを作成しておけば、他のノードとの間で通信を行う際に、自分が作成したスピードマップを見ればよく、バスマネージャースピードマップにアクセスする必要はなくなる。

【0036】また、以上の説明は、1394シリアルバスに接続して用いるノードのLINKの最大通信速度がPHYの最大通信速度よりも遅い場合にそれをスピードマップに反映させる場合について説明したが、本発明は1394シリアルバス以外のバスに接続して用いるノードに対しても適用できる。また、リンク層よりも上位の階層の最大通信速度が物理層或いはリンク層の最大通信速度よりも遅いノードに対しても同様に適用できる。

【0037】

【発明の効果】以上説明したように、本発明によれば、物理層よりも上位の階層を処理する手段の最大通信速度が物理層を処理する手段の最大通信速度よりも遅いノードは、物理層を処理する手段の性能をその上位の階層を処理する手段の性能に合わせて低く示す必要がなくなる。したがって、通信システム内の任意の2つのノード間で通信を行う際には、物理層を処理する手段の本来の

最高性能で情報を転送することができる。

【0038】また、本発明によれば、一旦作成した最大転送速度マップをその後、必要に応じて修正するので、従来よりも信頼性の高い最大転送速度マップを構築することができる。

【0039】さらに、本発明によれば高速でブロードキャスト通信を行える確率を高めることができる。

【図面の簡単な説明】

【図1】本発明を適用したノードの要部構成を示すブロック図である。

【図2】コンフィギュレーションROMの構成例を示す図である。

【図3】図2のコンフィギュレーションROMの先頭からバス情報ブロックまでの構成を示す図である。

【図4】PHY及びLINKの最大通信速度を表すビットを示す図である。

【図5】本発明を適用したノードにおける通信速度決定までの手順を示すフローチャートである。

【図6】本発明を適用した通信システムの構成例を示す図である。

【図7】図6の通信システムにおいて作成されるスピードマップを示す図である。

【図8】1394シリアルバスで接続された通信システムの例を示す図である。

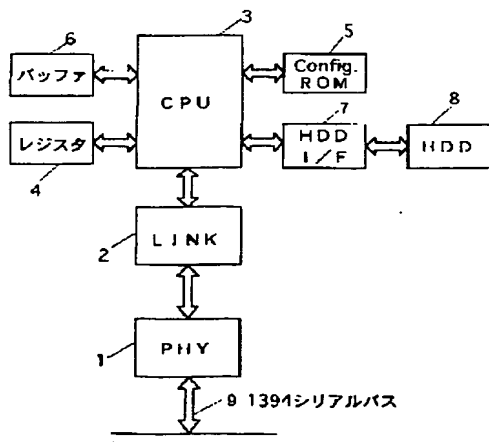
【図9】自己IDパケットの構成例を示す図である。

【図10】従来のスピードマップの構成例を示す図である。

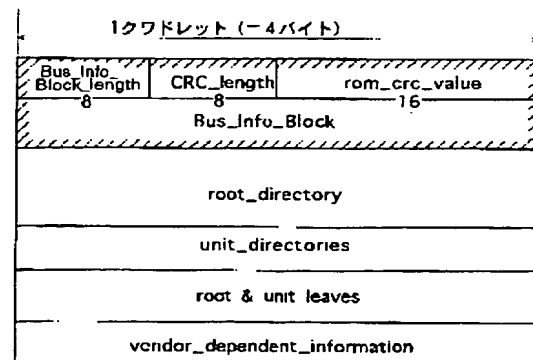
【符号の説明】

1…PHY、2…LINK、3…CPU、4…レジスタ、5…コンフィギュレーションROM、6…バッファメモリ、9…1394シリアルバス。

【図1】



【図2】



【図3】

Bus_Info Block		CRC length		rom_crc_value	
"1"		"3"		"9"	
(31h)		(33h)		(32h)	
*2		reserved	cyc clk acc	max_rec	reserved
				(0000)	(000h)
node_vendor_id				chip_id_hi	
chip_id_lo					

*1: 先頭quadletを除く、Config ROM全体の長さ。

*2:

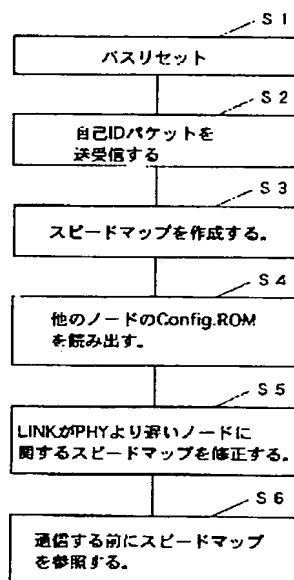
bmc	cmc	isc	bmc
(1h)	(1h)	(1h)	(0h)

 rc: isochronous resource manager capable
cmc: cycle master capable
isc: isochronous capable
bmc: bus manager capable

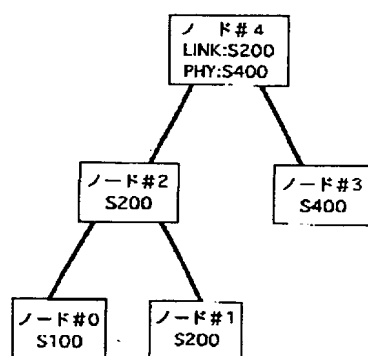
【図4】

reserved	
L(1bit)	max_link_speed(3bits)
000	S100
001	S200
010	S400
011	S800
100	S1600
101	S3200
その他	reserved

【図5】



【図6】



1394シリアルバスのケーブル

【図7】

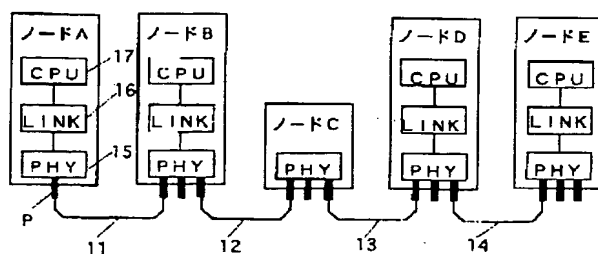
	ノード #0	ノード #1	ノード #2	ノード #3	ノード #4
ノード #0		S100	S100	S100	S100
ノード #1	S100		S200	S200	S200
ノード #2	S100	S200		S200	S200
ノード #3	S100	S200	S200		S400
ノード #4	S100	S200	S200	S400	

(1)

	ノード #0	ノード #1	ノード #2	ノード #3	ノード #4
ノード #0		S100	S100	S100	S100
ノード #1	S100		S200	S200	S200
ノード #2	S100	S200		S200	S200
ノード #3	S100	S200	S200		S200
ノード #4	S100	S200	S200	S200	

(2) 修正された速度情報

【図8】

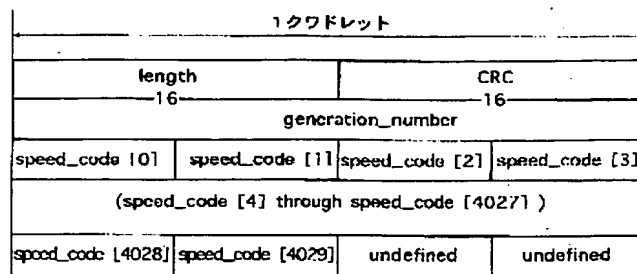


11~14: 1394シリアルバスのケーブル

【図9】

1クワドレット											
10	phy_ll)	0L	gap_cnt	sp	del	c	pwr	p0	p1	p2	lm
logical inverse of first quadlet											

【図10】



THIS FILE BLANK (USPTO)